

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03110867 A**

(43) Date of publication of application: 10.05.91

(51) Int. Cl.

H01L 29/784

(21) Application number: 01247999

(22) Date of filing: 26.09.89

(71) Applicant: NIPPON INTER ELECTRONICS
CORP

(72) Inventor: FUJIMOTO SHINJI

(54) VERTICAL FIELD-EFFECT TRANSISTOR

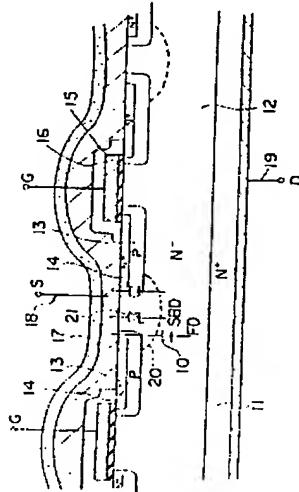
Schottky barrier diode, and a reverse recovery time of a built-in diode can be shortened.

(57) Abstract:

PURPOSE: To shorten a reverse recovery time by a method wherein a second layer of an N-conductivity type is exposed on one main surface of a substrate of the N-conductivity type and is brought into contact with a source electrode so as to pass the central part of a region of a P-conductivity type and a Schottky barrier diode region is formed in this part.

CONSTITUTION: A second layer 12 of an N-conductivity type is exposed on one main surface of a substrate 11 of the N-conductivity type and is brought into contact with a source electrode 18 so as to pass the central part of a region 13 of a P-conductivity type as a self-isolation region, a Schottky barrier diode region 21 is formed. As a result, in this structure the Schottky barrier diode 21 is connected in parallel between a drain electrode 19 and the source electrode 18 while a flywheel diode is left. Consequently, when an area and a shape of the Schottky barrier diode 21 are selected properly in a relationship with the flywheel diode, a forward rise voltage of the flywheel diode can be made higher than a forward rise voltage of the Schottky barrier diode 21. Thereby, a diode current flows preferentially in the

COPYRIGHT: (C)1991,JPO&Japio



⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-110867

⑤ Int. Cl. 5

H 01 L 29/784

識別記号

庁内整理番号

⑩ 公開 平成3年(1991)5月10日

8728-5F H 01 L 29/78 3 2 1 K
8728-5F X

審査請求 未請求 請求項の数 1 (全6頁)

⑥ 発明の名称 縦型電界効果トランジスタ

⑦ 特 願 平1-247999

⑧ 出 願 平1(1989)9月26日

⑨ 発 明 者 藤本 慎治 神奈川県秦野市曾屋1204番地 日本インター株式会社内
⑩ 出 願 人 日本インター株式会社 神奈川県秦野市曾屋1204番地

明細書

1. 発明の名称

縦型電界効果トランジスタ

2. 特許請求の範囲

N導電型基板上に同一導電型で不純物濃度が前記N導電型基板より低い第2のN導電型層と、この第2のN導電型層中に、接合部の端部が前記N導電型基板の一方の主表面に露出するP導電型領域と、このP導電型領域中に設けられ、接合部の端部が前記一方の主表面に露出する第3のN導電型領域と、前記P導電型領域の表面に絶縁層を介して形成したゲート電極と、前記第3のN導電型領域と前記P導電型領域とを金属層により短絡して形成したソース電極と、前記N導電型基板の主表面と反対側となる主表面に形成したドレイン電極とを有する縦型電界効果トランジスタにおいて、前記P導電型領域の中心部を貫通するように前記第2のN導電型層を設け、その表面を前記一方の主表面に露出させ、前記ソース電極と接触させてショットキーバリアダイオード領域を形成したこと

を特徴とする縦型電界効果トランジスタ。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、早い逆回復時間(t_{rr})を維持する内蔵ダイオードを備えた縦型電界効果トランジスタに関する。

【従来の技術】

この種の従来の縦型電界効果トランジスタの構造の一部を第7図に示す。

この縦型電界効果トランジスタは、N導電型基板1上に同一導電型で不純物濃度がN導電型基板1より低い第2のN導電型層2を有し、この第2のN導電型層2中に、その接合面を一方の主表面に露出するP導電型領域3が自己分離領域として形成されている。このP導電型領域3の中央部は図示のように深い拡散層となっている。さらにこのP導電型領域3内であって、かつ、その接合部が前記一方の主表面上に露出する第3のN導電型領域4が形成されている。また、自己分離領域である前記P導電型領域3の表面には、絶縁層5を介

特開平3-110867(2)

してゲート電極6が設けられている。

前記第3のN導電型領域4とP導電型領域3とを全面的に覆う金属層7で短絡したソース電極8を有し、また、前記N導電型基板1の主表面と反対側となる主表面にはドレイン電極9を有する。

上記の構造の縦型境界効果トランジスタは、自己分離領域としてのP導電型領域3と第2のN導電型層2との間に形成されるPN接合型ダイオード10を上記ドレイン電極9—ソース電極8間に並列に内蔵した構造となり、これを等価回路的に示すと第8図のようになる。

ところで、上記のような縦型境界効果トランジスタを、例えば第9図に示すようなブリッジ型インバータ回路等に用いるとき、縦型境界効果トランジスタQ₁、Q₂、Q₃およびQ₄に流れる電流経路の種類は、A、BおよびCの3種類となる。このうち、電流経路A、Bでは、縦型境界効果トランジスタQ₁、Q₂およびQ₃、Q₄には順方向電流が流れているが、電流経路Cでは、縦型境界効果トランジスタQ₂を通る電流は逆向きとなる。この

回復時間(t_{rr})は、約1,000nsecと長いのが一般的であるためである。

上記のような内蔵フライホイールダイオードの逆回復時間(t_{rr})は、スイッチング周波数が高くなるにしたがい、 t_{rr} 時間内の損失が顕著となる。すなわち、 t_{rr} 時間内はブリッジ回路の上下で素子が短絡されているので、その時消費される損失がより大きいものと考えられる。また、一般的には逆回復時間 t_{rr} は、素子耐圧が高くなるに従い、より低温度で、かつ、より厚いエピタキシャル層を使用することから、そのエピタキシャル層中のキャリアのライフタイムが長くなり、より長い逆回復時間となる傾向がある。したがって、高耐圧素子ほどその影響はさらに大きくなる。

[発明が解決しようとする課題]

上記のように構成された従来の縦型境界効果トランジスタに対し、その不都合を補うため、素子製作上あるいは回路技術上での対策が種々ある。例えば、素子製作上として、内蔵フライホイールダイオード中の逆回復時間(t_{rr})を小さくする

ことは当該トランジスタQ₂に内蔵されたフライホイールダイオードF D 2中を電流が流れることになり、このトランジスタQ₂の部分には電流が流れていなことを意味している。

次に、縦型境界効果トランジスタQ₁～Q₄のゲート電極G₁～G₄に、図示しない制御回路から別の電流経路、例えば電流経路Bとなるような信号を与えると、縦型境界効果トランジスタQ₂は、オフ状態からオン状態に変わるが、この時のスイッチング時間は、主として縦型境界効果トランジスタQ₂に内蔵されたフライホイールダイオードF D 2の逆回復時間(t_{rr})に左右されている。

その理由は、同じ大きさの電流に対し、ユニポーラ型素子として動作する縦型境界効果トランジスタの部分と、バイポーラ素子として動作するPN接合ダイオードの部分とでは、応答時間に約3～4倍の差があることに起因している。例えば縦型境界効果トランジスタの部分のターンオンタイムおよびターンオフタイムが約200～300nsecであるのに対し、PN接合ダイオードの逆

ために、ライフタイムキラーとなる重金属を公知の方法でドープさせたり、電子線、中性子線等を照射して結晶中にキャリアトラップを形成する方法等が採用されている。

しかしながら、これらの方法では、例えばしきい値電圧(V_{th})の制御が困難になつたり、オン抵抗(R_{on})が高くなる傾向がある等の縦型境界効果トランジスタ自体の特性を損なう危険性があるという解決すべき課題があった。

また、回路技術上の対策としては、例えば第10図に示すように、フライホイールダイオードF Dに、外付けのショットキーバリヤダイオードSBDを直列に接続し、ファースト・リカバリー・ダイオードF RDを縦型境界効果トランジスタのソースSードレインD間に並列に付加して電流経路を強制的にaからbに変更する方法も考えられている。

しかしながら、上記の方法では部品点数の増大を招來させること、また、図示の電流経路cで示すように、順方向導通時のショットキーバリヤダ

特開平3-110867(3)

イオード SBD による順逆圧損失を招来させること等で改善策としてはさほど得策ではないという未だ解決すべき課題があった。

【発明の目的】

本発明は、上記のような各課題を解決するためになされたもので、何ら従来の製法に追加の工程を設けることなく、また、素子の性能を損なう危険性もなく、縦型電界効果トランジスタに内蔵されたフライホイールダイオードの逆回復時間(t_{rr})を短縮し得る構造を備えた縦型電界効果トランジスタを提供することを目的とする。

【問題点を解決するための手段】

本発明の縦型電界効果トランジスタは、自己分離領域としてのP導電型領域の中心部を高くように、第2のN導電型層をN導電型基板の一方の主表面上に露出させてソース電極と接するようにし、ショトキーバリアダイオード領域を形成したものである。

【作用】

本発明の縦型電界効果トランジスタは、ドレイ

ン電極—ソース電極間に、フライホイールダイオードを残したままショトキーバリアダイオードを並列接続した構造となる。従って、自己分離領域を高くようにして形成されたショトキーバリアダイオードの面積や形状をフライホイールダイオードとの関係で適宜選択することで、フライホイールダイオードの順方向立ち上がり電圧をショトキーバリアダイオードの順方向立ち上がり電圧よりも高くする。かかる関係を有する場合に、縦型電界効果トランジスタのソース電極—ドレイン電極間に流れるダイオード電流は、ショトキーバリアダイオード中を優先して流れることになり、内蔵ダイオードの逆回復時間(t_{rr})を短縮することができる。

【実施例】

以下に、本発明の実施例を図を参照して説明する。

第1図は本発明の実施例を示す縦型電界効果トランジスタの概略構成図である。図において、N'導電型基板11上に、同一導電型で不純物濃

度がN'導電型基板11より低い第2のN'導電型層12が、エピタキシャル成長により形成されている。この第2のN'導電型層12中に、接合部の端部を、前記基板11の一方の主表面上に露出するP導電型領域13が選択的に形成されるが、この部分が従来の縦型電界効果トランジスタと大きくことなる。すなわち、この自己分離領域としてのP導電型領域13は、図示の点線20からも明らかなように、従来では存在した中心部の深いP導電型拡散層13は取り除かれている。換言すれば、かかる自己分離領域の中心部をN'導電型層12が貫通し、基板表面まで露出している。そしてソース電極18を形成すべく設けられたアルミニウム金属等からなる金属層17と接し、その界面にショトキーバリアダイオード(以下、SBDと略記)21を形成している。このSBD21は、図示の記号で示したように金属層17側がSBD21のアノード側に、第2のN'導電型層12がカソード側に対応している。

上記のように、自己分離領域の中心部にSBD

21を形成してもこのSBD21の外側周辺を固むように、PN接合ダイオードFDが残存していることになる。

次に、第2図に上記実施例の変形例を示す。この変形例を第7図の従来型と比較すると、深いP導電型領域13aは、一部に残しているが、その中心部は第2のN'導電型層12が基板表面にまで露出し、上記実施例と同様の構成となっている。

なお、第2図において、第1図と同一の構成部分には同一符号を付し、その詳しい説明は省略する。

さて、上記構造を等価回路的に示すと、第3図のようになる。この第3図と従来構造の第8図と比較すると、第3図では縦型電界効果トランジスタのソース電極18とドレイン電極19との間に、SBD21が並列接続され、かつ、鉛線で示したように、PN接合型ダイオード(以下、FDと略記)10が残存した構造となっている。

ところで、これらSBD21およびFD10の2つの内蔵型ダイオードの順方向電流特性は、第

特開平3-110867(4)

4図に示すようになる。図中、A、A'はSBD21の順方向電流特性曲線、BはFD10の順方向電流特性曲線を示している。また、横軸に順方向電圧(V)、縦軸に電流密度(I)を採つてある。この図から明らかのように、SBD21の面積、形状をFD10に対して適宜選択することによりSBD21の立ち上がり電圧V_AとFD10の立ち上がり電圧V_Bとの関係をV_A≤V_Bに維持することが可能となる。V_A≤V_Bの関係が維持されている間は、第3図のソース電極18からドレイン電極19に流れるダイオード電流は、FD10よりもSBD21中を優先して流れ。この場合、SBD21は多数キャリア素子であるため、FD10の逆回復時間(τ_{rr})よりも短いτ_{rr}を有することになる。また、自己分離領域であるP導電型領域13の中心部にSBD21が設けられているので、FD10の尖効率子領域面積が小さくなる。このため、FD10中の逆回復時の電荷量(Q_{rr})が小さくなり、その分、SBD21とFD10とを合わせた内蔵ダイオード並列接続

体としてのτ_{rr}が短縮されることになる。

ところで、上記のことは、SBD21の実用的な耐圧範囲(60~200V)以下での場合であり、これをさらに耐圧の高いSBD21に設計すると、第4図の点線で示した順方向電流特性曲線A'となる。かかる場合に、立ち上がり電圧はV_{A'}≈V_Bであるため、もはや上記V_A≤V_Bの関係は成立しなくなり、τ_{rr}短縮の効果が得られなくなる。したがって、SBD21の耐圧範囲を、上記関係を維持する範囲に設計することは重要なことである。

次に、上記本発明の構造を平面パターンとして表わしたもの第5図および第6図に示す。

このうち、第5図は丸型セル22を六角形状に配置したものであり、第6図は正方形セル23を正方形形状に配置したものである。いずれも自己分離領域としてのP導電型領域の中心部に、縦型境界効果トランジスタに内蔵されたSBD21が存在する。また、このSBD21の周辺部にそれぞれFD10がいずれの場合も残存している。

なお、上記構造の製作工程は、特に述べなかつたが、従来から公知の選択拡散技術によって容易に実現することができる。ただ、ソース電極としてのオーミック性接觸を維持しながら第2のN導電型層2の表面にSBD21を形成するという両者を成立させる実用的な熱処理条件が存在することは言うまでもない。

[発明の効果]

以上のように、本発明によれば、自己分離領域としてのP導電型領域の中心部を貰くように、第2のN導電型層をN導電型基板の一方の主表面に露出させてソース電極と接するようにし、かかる部分にショットキーバリアダイオード領域を形成したので、縦型境界効果トランジスタのソース電極ードレイン電極間に流れるダイオード電流が、PN接合型ダイオードよりもショットキーバリアダイオード中を優先して流れ、逆回復時間(τ_{rr})を短縮することができるなどの優れた効果がある。

4. 図面の簡単な説明

第1図および第2図は本発明の実施例である縦

型境界効果トランジスタの構成図、第3図はその等価回路図、第4図は縦型境界効果トランジスタに内蔵されるショットキーバリアダイオードとPN接合型ダイオードの順方向特性曲線図、第5図および第6図は上記本発明の縦型境界効果トランジスタの平面構造図、第7図は従来の縦型境界効果トランジスタの構成図、第8図はその等価回路図、第9図は上記従来の縦型境界効果トランジスタを使用して製作したブリッジ型インバータ回路図、第10図は従来の縦型境界効果トランジスタの不都合を補うための回路図である。

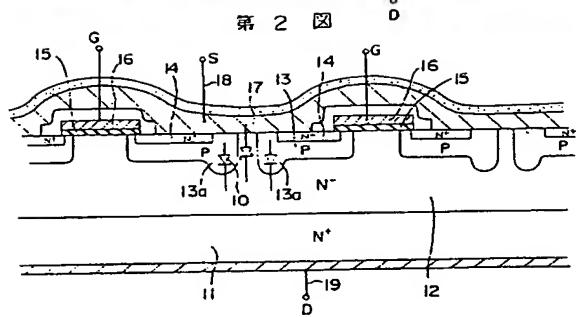
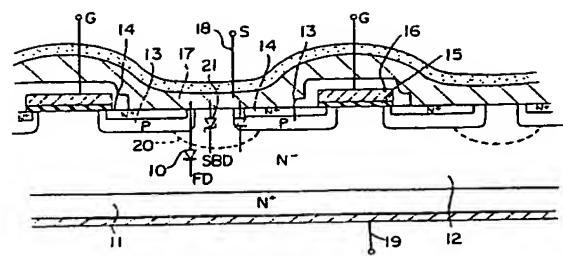
10...PN接合型ダイオード、11...N導電型基板、12...第2のN導電型層、13...P導電型領域(自己分離領域)、14...第3のN導電型層、15...絶縁層、16...ゲート電極、17...金属層、18...ソース電極、19...ドレイン電極、21...ショットキーバリアダイオード、FD...PN接合型ダイオード

特許出願人 日本インター株式会社

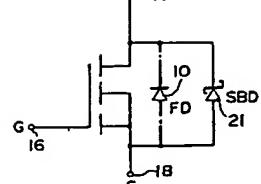
(5)

特開平3-110867(5)

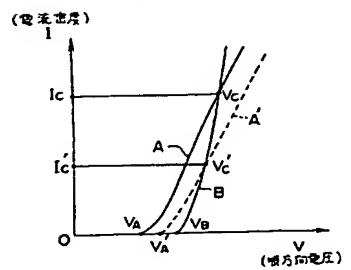
第1図



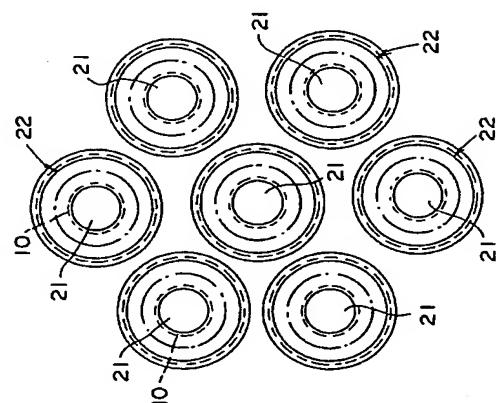
第3図



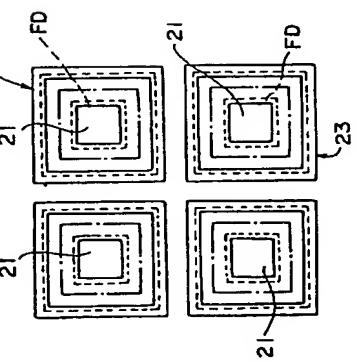
第4図



第5図

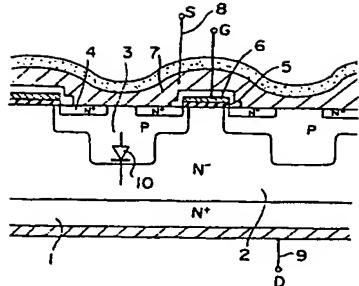


第6図

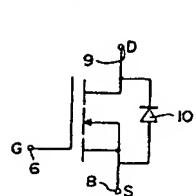


特開平3-110867(6)

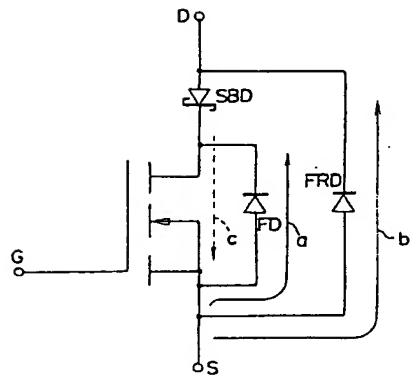
第7図



第8図



第10図



第9図

